

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09181920 A**

(43) Date of publication of application: 11 . 07 . 97

(51) Int. Cl

**H04N 1/409**  
**G06T 5/20**

(21) Application number: **08344309**

(22) Date of filing: **24 . 12 . 96**

(62) Division of application: **59188141**

(71) Applicant: **CANON INC**

(72) Inventor: **KAWAMURA NAOTO**  
**YOSHIDA TADASHI**  
**IDEI KATSUTO**  
**MITA YOSHINOBU**  
**NISHIGAKI YUJI**

(54) **IMAGE PROCESSOR**

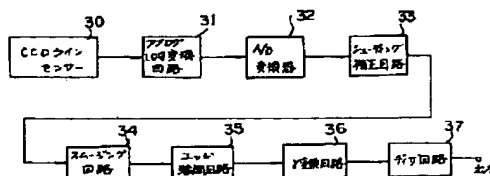
(57) Abstract:

**PROBLEM TO BE SOLVED:** To provide an image of satisfactory image quality without depending on the type of an original by executing a smoothing processing and an outline emphasis processing on a multilevel picture signal.

**SOLUTION:** A smoothing circuit 34 executing the smoothing processing by using multilevel image signals contained in the block of a first size, which is constituted by plural picture elements containing a notice picture element and the one-dimensional block in a line direction. An edge emphasis circuit 35 emphasizing an outline emphasizes an edge part by using the multilevel image signal contained in a two-dimensional block in a second size larger than first size. A  $\gamma$  conversion circuit 36 executes  $\gamma$  conversion. A dither circuit 37 compares the signal with a dither threshold and it is made into a multilevel and is outputted. Thus, an original image can faithfully be reproduced with the circuit of the comparatively small scale by executing the smoothing processing in a front stage and emphasizing the outline in the post stage in the processing of the image where the photograph of

continuous gray level, a line drawing and a dot photograph coexist.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-181920

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl.<sup>8</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 4 N 1/409

H 0 4 N 1/40

1 0 1 D

G 0 6 T 5/20

G 0 6 F 15/68

4 0 5

H 0 4 N 1/40

1 0 1 C

審査請求 有 発明の数 1 O L (全 8 頁)

(21) 出願番号

特願平8-344309

(62) 分割の表示

特願昭59-188141の分割

(22) 出願日

昭和59年(1984)9月10日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 河村 尚登

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72) 発明者 吉田 正

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72) 発明者 出井 克人

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74) 代理人 弁理士 大塚 康徳 (外1名)

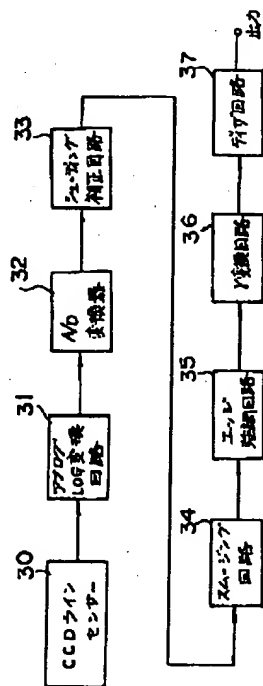
最終頁に続く

(54) 【発明の名称】 画像処理装置

(57) 【要約】

【課題】 多値画像信号に対して所定の平滑化処理及び輪郭強調処理を行なうことにより、原画の種類に依存しないで、画質の良好な画像を得ることができる画像処理装置を提案する。

【解決手段】 画素毎の多値画像信号をライン単位で入力する入力手段と、前記入力手段により入力された注目画素の多値画像信号を、該注目画素を含む複数の画素から構成される、第1のサイズブロックであって、前記ライン方向に一次元のブロック内に含まれる多値画像信号を用いて平滑化するスムージング回路34(図4Aのフィルタ)と、このスムージング回路34により平滑化された前記注目画素の多値画像信号を、前記注目画素を含む複数の画素から構成されるブロックであって、前記第1のサイズよりも大きい第2のサイズの2次元ブロック内に含まれる多値画像信号を用いて、輪郭強調するエッジ強調回路35(第6図のフィルタ)とを有する。



## 【特許請求の範囲】

【請求項1】 画素毎の多値画像信号をライン単位で入力する入力手段と、

前記入力手段により入力された注目画素の多値画像信号を、該注目画素を含む複数の画素から構成される、第1のサイズのブロックであって、前記ライン方向に一次元のブロック内に含まれる多値画像信号を用いて平滑化する平滑化手段と、

前記平滑化手段により平滑化された前記注目画素の多値画像信号を、前記注目画素を含む複数の画素から構成されるブロックであって、前記第1のサイズよりも大きい第2のサイズの2次元ブロック内に含まれる多値画像信号を用いて、輪郭強調する輪郭強調手段とを有する画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はデジタル画像処理に関するものである。

## 【0002】

【従来の技術】 一般にCCDラインセンサにより原画像を読み取り、レーザビームプリンタにて出力するデジタル複写装置は高速性、高画質性等のため広く普及しつつある。かかる装置に於て、入力原画像は連続階調を持った写真（以後写真と呼ぶ）、文字や線画（以後線画と呼ぶ）、及び網点によって構成された印刷物（以後網点写真と呼ぶ）等が混在したものが多い。

【0003】 電子写真をベースとしたレーザビームプリンタに於て、ドット集中型のデザマトリクス閾値による出力方式（以後網点化と呼ぶ）が優れた中間調表現である事はよく知られている。かかる手法に於て、線画と写真の混在画像を網点化すると、写真の部分では滑らかな中間調表現が行われるが、線画では網点化によりきれきれになる。特に漢字の様な複雑なものでは判読すら困難となる。

【0004】 これはデザマトリクス閾値により2値化した時の1.0の境界が画後の輪郭部と必ずしも一致しないためであると考えられる。上記解像度劣化を改善するために、画像の輪郭情報を有する画像信号の高域に対して強調をかける事が提案されているが、それは電子計算機のソフトウェアの支援によるものであった。又、網点写真を入力すると、網点自体が非常に強い周期性を持ったためデザマトリクスによる再網点化を行なうと原面の網点の周期性とデザマトリクスによる周期性とが干渉して相互のビートが生じ所謂モアレ縞が現れる。その結果、出力画質の品位を著しく低下させ、レーザビームプリンタとしての高画質性を十分発揮出来ない。

【目的】 本発明はかかる問題点を解決するために提案されたもので、多値画像信号に対して所定の平滑化処理及び輪郭強調処理を行なうことにより、原画の種類に依存しないで、画質の良好な画像を得ることが出来る画像処

理装置を提案することを目的とする。

## 【0005】

## 【発明の実施の形態】

〈第1実施例〉以下、本発明の実施例に基づき詳述する。まず、本発明を適用する画像記録装置の概略構成の例を図1に示す。図示の構成例においては、半導体レーザ11からの画像信号により変調した光ビームをコリメートレンズ10を介し、回転多面鏡12に入射させて偏向させ、その偏向光ビームを結像レンズ13により感光ドラム3上に結像させてその感光層を走査させる。その光ビーム走査に際し、ライン走査の先端に配置したミラー14からの反射光を光検出器15により検出してライン走査の同期信号を形成する。

【0006】 図2は本発明を適用する画像入力装置の概略を示すものである。図示の構成例に於ては、光源22で照明された原稿21をレンズ23によりCCDラインセンサ24上に結像させ、その出力信号を得る。CCDラインセンサ24の方向が主走査方向である。原稿21に対するCCDラインセンサ24の相対移動により副走査を行い2次元の画像出力を得る。

【0007】 図3は画像入力装置から得られた画像信号の信号処理系を示すブロックダイヤグラムである。CCDラインセンサ30からのアナログ画像信号をアナログ-LOG変換回路31により濃度変換する。かかる信号は次にA/Dコンバータ32により6～8ビットのデジタル信号に変換され、次のシェーディング補正回路33により加減算シェーディング補正される。かかる信号処理は予め白板のシェーディングデータをRAMに記憶しておき得られた画像データからこのシェーディングデータを減ずる事により行われる。

【0008】 次にスムージング回路34により主走査方向のスムージングを行い、エッジ強調回路35によりエッジ部が強調されγ変換回路36によりγ変換されデザ回路37によりデザ閾値と比較され2値化（又は多値化）され出力される。図4はスムージングのための一行のフィルタ行列である。一次元スムージングの原理は主走査方向の連続した画素に対して空間フィルタをたたみ込む（コンボリューション）事によって行われる。

【0009】 図4Aが連続する3画素に対して、図4Bは連続する2画素に対してスムージングを施す場合である。図4Aのフィルタの場合を例にとると一次元コンボリューションは、

## 【0010】

## 【数1】

$$r_i = \sum_{j=1}^3 a_j \cdot p_j$$

【0011】 となる。但しpは画像データ、aは重み係数で図4Aの場合は $a_j=1/3$ 、iは主走査方向の画素番号である。かかる一次元のコンボリューションの物理

的意味は、入力画像が網点写真の場合、一次元コンボリューションによるスムージングを行う事により網点をボかし、モアレの発生を抑圧する事である。

【0012】コンボリューションを主走査方向（つまりCCDラインセンサ24の長手方向）への一次元で行う理由は通常、副走査方向はCCDラインセンサ24が移動する事により行われるので見かけ上ラインセンサの開口関数（アバチャー関数）が大きくなりMTF（MODULATION TRANSFER FUNCTION）が低下する事、及び漢字の明朝体の様に横線が縦線より細かい場合に主走査方向が漢字の横線と一致した時スムージングを二次元的に行うと横線のレベルが低下しすぎてしまう事があるからである。

【0013】図5は図4Aに示され連続した3画素に対してスムージングを施す場合のスムージング回路の詳細図である。スムージング回路への入力信号41は一画素遅延回路42a、42b、42cに入力し、遅延回路42a、42b、42cは前後の2画素と合わせて同時に3画素の信号を出力する（図中のZは遅延回路の1要素を表す。以下同じ）。出力データは加算器43にて加算され割り算回路44により1/3され出力信号45を得る。

【0014】個々の遅延回路は、通常のD型フリップフロップを2個組み合わせることにより容易に実現出来る。加算器43は2入力加算器を2個組み合わせる事により実現出来る。割り算回路44は通常の除算器にても構成できるが、被除数の最大値が限られている事に着目してROMを用いて入力データをROMの入力アドレスに（例えば16階調の画像データであるならばROMのアドレスラインは最大6ラインで足りる）、結果をROMの出力データとなる様に構成すれば回路構成も簡単な割に高速な除算器を構成できる。

【0015】以上の様にして構成されたスムージング回路による効果は第1に高い線数の網点写真によるモアレ縞を抑圧する効果があることであり、第2に次段のエッジ強調回路での前処理としての効果がある。即ちエッジ強調でエッジを強調する時、誤ってノイズも強調される事を防ぐためである。図6はエッジ強調用の5×5のフィルタマトリクスの図で通常ラブラシアンとよばれる。図7A、図7Bはかかるラブラシアンを画像信号へ施すための回路のブロック図である。

【0016】図7A中のラインメモリ60a乃至60fの各々は主走査方向1ライン分の長さで階調に応じた深さを持っている。又、図6のラブラシアンは5×5のマトリクスであるので最大6のラインメモリで足りるのである。まずスムージング処理後のデータ45は、セクタ50によりラインメモリ60a乃至60fの1つが選ばれ、主走査方向の1ライン分のデータがラインメモリへ書き込まれる。書き込みの順序は1画素ずつ順番に1つのラインメモリ内に書かれ、1ラインの走査が終わる

と次のラインメモリへ書き込まれる。従って、例えばその順序は60a→60b→60c→60d→60e→60f→60a……となる。

【0017】ラインメモリからのデータの取り出しはセクタ51を通して行われる。今、図6の行列の要素を $b_{ij}$ とすれば、変換後の各画素は

【0018】

【数2】

$$P_{ij} = \sum_{k=1}^5 \sum_{l=1}^5 b_{kl} \cdot P_{kl}$$

【0019】と表わせる。又、図6の0でない行列要素 $b_{ij}$ は $b_{13}=-1$ 、 $b_{31}=-1$ 、 $b_{33}=5$ 、 $b_{35}=-1$ 、 $b_{53}=-1$ のみであるからラインメモリから画素を取り出して計算する時は全画素を取り出して計算する必要はなく $b_{13}$ 、 $b_{31}$ 、 $b_{33}$ 、 $b_{35}$ 、 $b_{53}$ に対応する画素のみを取り出せばよい。例えばラインメモリ60aを書き込み中にはラインメモリ60b、60d、60fのデータを取り出し、ラインメモリ60bを書き込み中の場合にはラインメモリ60c、60e、60aのデータを取り出す。このようにすれば回路構成の大規模を防げる。

【0020】さらにセクタ51はラインメモリ60a乃至60f内の同一列の画素を同時に3つ取り出し、取り出されたデータは2画素遅延回路52a、52b、52c、52dに於て2画素分遅延されたデータ53a、53b、53x、53c、53dとして出力される。これらの遅延された画素が、前述の $b_{13}$ 、 $b_{31}$ 、 $b_{33}$ 、 $b_{35}$ 、 $b_{53}$ に対応する画素である事は容易に分かる。

【0021】従って、図6のラブラシアンを施す事は図7Bに示された回路に入力された53a、53b、53c、53x、53dの各入力に対して加減算を施す事に一致する。つまり入力53xが乗算器58にて4倍され、加減算器55にてその積から53a、53b、53c、53dがそれぞれ減算される。加減算器55の出力は加算器56に入力される。一方53xは乗算器54によって $\alpha$ 倍され、加算器56に入力される。今、 $\alpha=1$ とすれば、結局、乗算器54、58により中心画素は5倍された事になるから図6のラブラシアンを施した事となる。

【0022】本実施例においては、図6に示されたラブラシアンのように中心画素に対して5倍の強調をかけた。しかし、図7Bで示されているように乗算器54の乗数 $\alpha$ を変化させる事によってエッジ強調の度合つまり尖鋭化の程度を変化しうる。図7Bの回路は次のようにして作成できる。加減算器55、56は通常の加算器にて構成できる。乗算器58は4倍するのみであるから遅延回路52bにおいて上位2ビットシフトアップする事によって代用できる。

【0023】乗算器54はスムージング回路の割り算器

と同様、ROMで実現出来る。即ち、入力データ53xをROMの下位の入力アドレス信号とし、倍率 $\alpha$ をROMの上位の入力アドレス信号とし、ROMの出力データを乗算結果として用いればよい。例えば、富士通株式会社製のMB7142Hなる双極型のPROM（プログラム可能なリードオンリメモリ）を用いると、このPROMは4K×8ビットのメモリ容量があり、入力アドレスとして12本あるので上位4本のアドレスを $\alpha$ に割りあてると、53xに対しては下位の8本を割りあてることが出来る。従って、 $\alpha$ として16（ $=2^4$ ）通りの異なったエッジ強調の大きさを実現できる。又、53xは8ビットあれば最大256階調表現できるので使用上十分である。

【0024】図8は図5、図7A、図7Bに示された空間フィルタの周波数応答図である。横軸は空間周波数、縦軸はMTF値を示している。図中62は原画像データ、63はスムージング処理によるMTF値、64はエッジ強調によるMTF値を示している。スムージングによりモアレ周波数（図中矢印で示す）を抑圧し、エッジ強調により比較的低周波域を高める。

【0025】このエッジ強調周波数は16pel/mmの解像度の場合には明視距離位置から見た時に十分な尖鋭さを表現できる。図14はかかるスムージングとエッジ強調の一次元周波数特性を示したものである。図中、180は2画素スムージング、181は3画素スムージング、182は前述のエッジ強調（図6の5×5のフィルタ）による周波数特性を示している。

【0026】図からも解るように、エッジ強調にて強調する中心周波数は今の場合4pel/mmで、スムージングによる第1の0点の周波数（最初に0になる周波数）は、180の場合8pel/mm、181の場合は5.3pel/mmである。従ってスムージングにより減少させようとする周波数（4又は5.3pel/mm）はエッジ強調で高めようとする周波数（4pel/mm）より高い周波数となっている。

【0027】これはエッジ強調をするマトリクスサイズ（又はディメンション）がスムージングをしようとする一次元フィルタのサイズよりも大きい事から生ずる。この様にエッジ強調のマトリクスサイズがスムージングの一次元フィルタサイズよりも大きくする目的はスムージングによる文字等の解像度の劣化を避けるためあまり大きなスムージングを施す事が出来ない事による。

【0028】〈第2実施例〉第1実施例で述べた図5のスムージング回路では読取画像を16pel/mmのサンプリング点でサンプリングしたとすると、120線よりも細かい網点写真に効果がある事が分った。しかし、それ以下の粗い網点写真に対してモアレ縞を抑圧しようとする、2画素又は3画素程度のスムージングでは間に合わない。又、単にスムージングするためのフィルタサイズを大きくしても逆に線画の尖鋭さが失われるのみであ

る。従って、第2実施例では網点の粗い（85線から120線程度の網点）網点画に対してもモアレが生じず、又尖鋭さも失わない画線を得る事を目的とする。

【0029】第2実施例の画像処理装置のブロック構成も図3に示されたブロック構成をとる。しかし、第2実施例においてはエッジ強調回路35において第1実施例とその構成を異にする。つまり前述した様に、粗い網点写真に対して生じた問題に対してエッジ強調回路35で対処しようというものである。図9はスムージング回路34に続く次段のエッジ強調回路35のブロック図である。前段のスムージング回路の出力45は図9のエッジ量検出回路100、スムージング回路101に入力される。出力45はエッジ量検出回路100により画像のエッジ部分が抽出され、乗算器102により $\alpha$ 倍に強調され、その出力は加算器103へ入力される。

【0030】一方、スムージング回路101によりさらに平滑化された画像信号も加算器103に入力される。スムージング回路34、及び101による2度の平滑化によりモアレ縞の発生が抑えられるのである。加算器103により合成された画像はモアレ縞が抑えられ尖鋭さも失われぬのである。

【0031】次にエッジ量検出回路100に採用されるラプラシアンフィルタ行列を図10に示す。図11はスムージング回路101に採用されるフィルタ行列である。図13Aは図10のラプラシアンを施すための演算回路図、図13Bは第11のスムージングフィルタを施すための演算回路図である。又、図12は上記2つのフィルタを施すための任意の画素を取り出すための回路図である。

【0032】図12において、ラインメモリ160a乃至160fの各々は主走査方向1ライン分の長さで階調に応じた深さを持っている。又、セレクト150、151はラインメモリ160a乃至160f内の任意の画素を選ぶ事ができる。スムージング回路34で処理された画像データ45はセレクト150によりラインメモリ160a乃至160fの1つが選ばれ、主走査方向の1ライン分のデータが書き込まれる。書き込みの順序は画素ずつ順番に1つのラインメモリ内に書き込まれ、1ラインの走査が終わると次のラインメモリへ書き込まれる。例えば160a→160b→160c→160d→160e→160f→160a……となる。

【0033】ラインメモリからのデータの取り出しはセレクト151を通して行われる。即ち、ラインメモリ160aを書き込み中にはラインメモリ160b、160c、160d、160e、160fから取り出す。又、ラインメモリ160bを書き込み中にはラインメモリ160c、160d、160e、160f、160aから取り出す。以下同様の手順で取り出される。

【0034】取り出しデータは2画素遅延回路152a、152b、152c、152d及び1画素遅延回路

153a, 153b, 153c, 153dにより各々遅延される。図13Aはエッジ量検出回路100の一部であって、図12の遅延回路と共に図10のラブラシアン演算を施すための回路図である。図10のラブラシアンを施すためには第1実施例でも説明したように行列要素の0の部分は除外できるから、図13Aの回路への入力信号は154a, 154b, 154c, 154d, 154xのみでよい。

【0035】入力154a, 154b, 154c, 154dは加算器155により加算される。一方、中心の画像入力154xは乗算器158により4倍される。減算器156により前記積から前記4入力の和が引かれて出力信号157を得る。このようにしてエッジ部が抽出強調された画像信号を得る。図13Bは図11のスムージングを施すための演算回路である。図10の場合と同様に行列要素0に対応する部分を除外して考えると、図12の出力154e, 154f, 154g, 154h, 154xのみ取り出して図13Bの加算器170に入力し、除算器171にて52で割られる。このようにして図11に示されたスムージングが施されるのである。

【0036】一方、エッジ量検出回路100の出力信号は除算器158により $\alpha$ 倍される。 $\alpha$ の値を変える事によりエッジ強調の度合を変えられる。このようにして、加算器103から得られた画像信号104は次のような特徴がある。第1実施例のスムージング回路34で盲点の粗い65線～85線までの網点写真に対してもモアレ縞の発生を抑えるためには、相当広範囲の領域にわたって（つまり、大きなサイズのスムージングフィルタ行列を用いて）スムージングを行わねばならない。

【0037】しかし、このような広範囲のスムージングを耕した場合、線画の尖鋭さは無くなり、もはや次段のエッジ強調回路35でエッジ部を強調しても効果が無い。更にはエッジの太さが太くなり、画像の繊細さが不自然となる。そこで第2実施例では前段のスムージング回路34は後段のエッジ検出のための前処理としてノイズを除去し、又120線以上の網点写真によって生ずるモアレ発生を抑える。

【0038】そして後段のスムージング回路101によって更にスムージングを行い、網点の粗い網点写真によるモアレ発生を抑え、一方画像のエッジ部はこのスムージング回路101を経由せずにエッジ量検出回路100によって抽出、さらに乗算器102によって強調されて前記のスムージング回路101の出力と合成されるので画像の尖鋭さは失われぬ。又画像の二度に渡るスムージング処理の結果、モアレ縞の発生は抑圧され、網点写真の線致、角度によらない処理画像が得られる。

【0039】次に第2実施例に示されたエッジ量検出回路100その他の具体的な回路構成例を述べる。画像遅延回路は第1実施例に示された如く通常のD型フリップフロップで構成できる。又、除算器171も同様にRO

Mにより容易に高速除算器が得られる。乗算器158も第1実施例におけるのと同様に遅延回路153bにて2ビットシフトアップする事により代用できる。又、乗算器102も第1実施例の乗算器154と全く同様に富士通社製MB7142Hなる双極型PROMを使う事によって構成できる。

【0040】なお、本実施例について特にレーザビームプリンタを用いて説明したが、これはあくまでも表示装置の例示であり、他の表示装置として液晶パネル、フアクシミリなどにも適用できる事はいうまでもない。また、同様に他の図もあくまでも実施例の説明をするために例示したに過ぎない。

【0041】以上説明してきたように本発明の実施例の画像処理装置によれば、連続階調の写真、線画、網点写真等が混在する画像の処理において、前段にてスムージング処理を行い、後段にて輪郭強調を行う事により、比較的小規模の回路でもって原画像の忠実な再現を実現し、特に120線以上の網点写真に対してもモアレ縞発生を抑圧する効果がある。

#### 【0042】

【発明の効果】以上のように、本発明の画像処理装置は、注目画素の多値画像信号を、この注目画素を含む第1のブロックに含まれる多値画像信号を用いて平滑化し、更に、第1のブロックよりも大きく前記注目画素を含む第2のブロックに含まれる多値画像信号を用いて輪郭強調を行なうようにしている。従って、入力画像が種々の画像を混在するものであっても、輪郭強調は、輪郭部において、ノイズが不要に強調されることなく、しかも本来の輪郭は維持され強調されたものとなっている。特に、平滑化においては、ライン方向に垂直な方向でのMTFの低下を抑制することができ、輪郭の劣化を防止することができる。故に、本発明により、原画の種類によらないで、画質の良好な画像を得ることができる。

#### 【図面の簡単な説明】

【図1】本発明を適用する画像記録装置の概略を表す図である。

【図2】本発明を適用する画像入力装置の概略を表す図である。

【図3】本発明を適用した画像処理装置のブロック構成図である。

【図4A】連続した3画素に対するスムージングフィルタの行列図である。

【図4B】連続した2画素に対するスムージングフィルタ行列図である。

【図5】スムージング回路34の構成図である。

【図6】第1実施例におけるエッジ強調回路35の回路構成図である。

【図7A】第1実施例におけるエッジ強調回路35の回路構成図である。

【図7B】第1実施例におけるエッジ強調回路35の回

路構成図である。

【図8】第1実施例の空間フィルタの周波数応答図である。

【図9】第2実施例におけるエッジ強調回路35の回路構成図である。

【図10】第2実施例にて適用されるラプラシアンを表す図である。

【図11】第2実施例のスミージング回路101に適用される空間フィルタを表す図である。

【図12】第2実施例のエッジ強調回路35の一部回路図である。

【図13A】第2実施例におけるエッジ量検出回路100の演算部の図である。

【図13B】第2実施例のスミージング回路101の演

算部の回路図である。

【図14】スミージングとエッジ強調による1次元周波数特性図である。

【符号の説明】

34 スミージング回路

35 エッジ強調回路

42a~42c, 153a~153d 1画素遅延回路

60a~60f, 160a~160f ラインメモリ

52a~52d, 152a~152d 2画素遅延回路

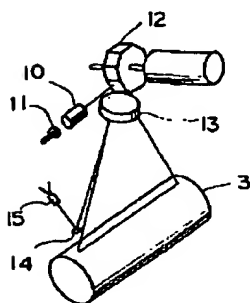
44, 171 除算器

54, 58, 102, 158 乗算器

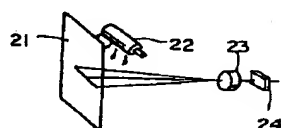
43, 56, 103, 155, 170 加算器

55, 156 加減算器

【図1】



【図2】



【図4A】



【図4B】

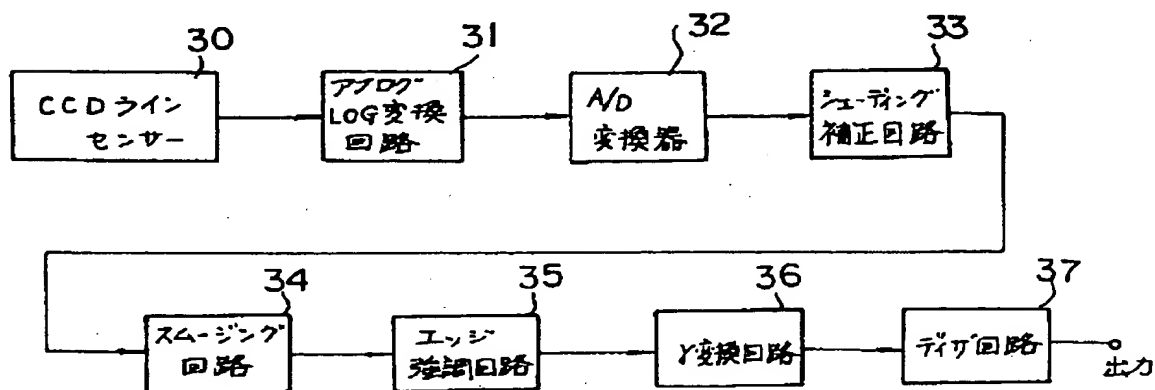
0	0	-1	0	0
0	0	0	0	0
-1	0	5	0	-1
0	0	0	0	0
0	0	-1	0	0

【図6】

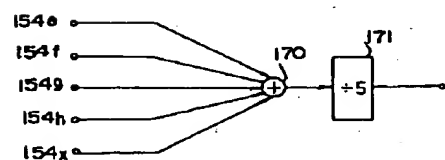
0	1/5	0
1/5	1/5	1/5
0	1/5	0

【図11】

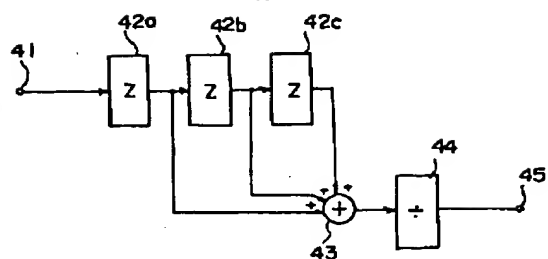
【図3】



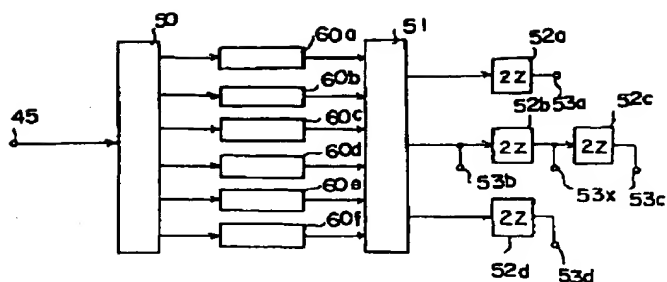
【図13B】



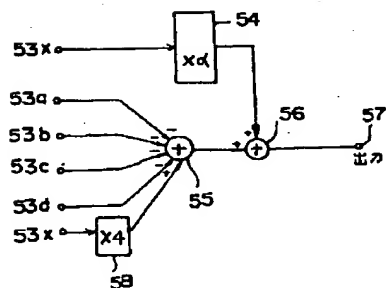
【図5】



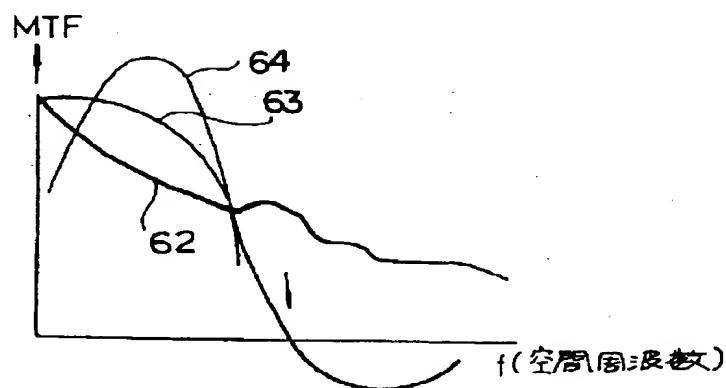
【図7A】



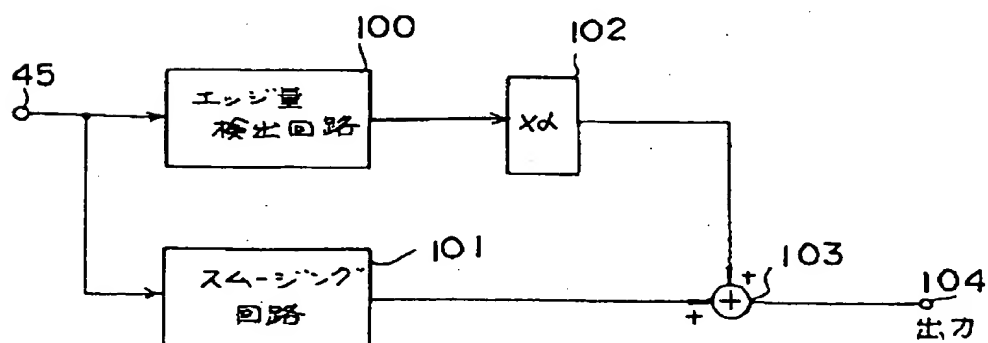
【図7B】



【図8】



【図9】

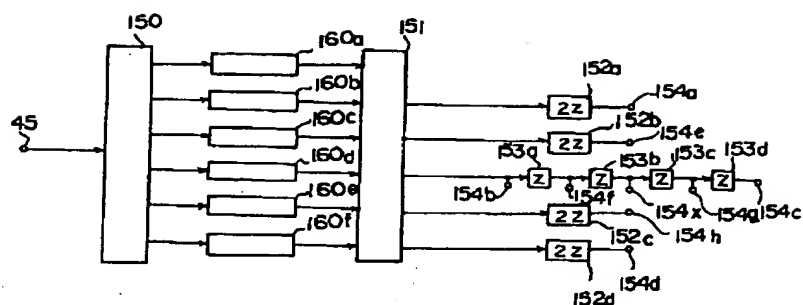


【図10】

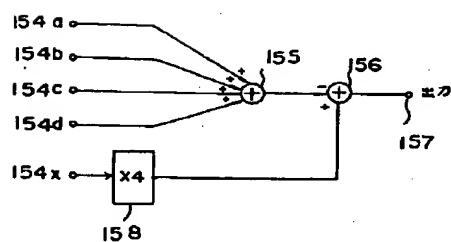
0	0	-1	0	0
0	0	0	0	0
-1	0	4	0	-1
0	0	0	0	0
0	0	-1	0	0



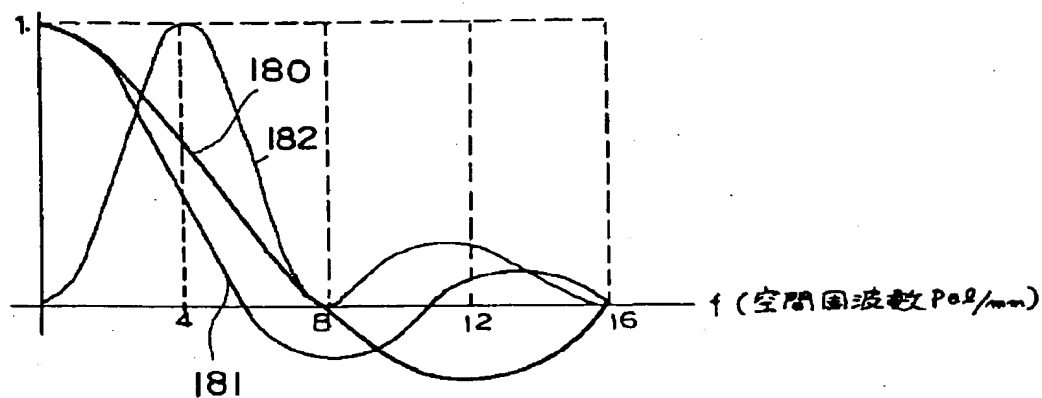
【图 1 2】



【☒ 1 3 A】



【图 14】



フロントページの続き

(72)発明者 三田 良信  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 西垣 有二  
東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内